Capítulo 2

Modelo de Hardware de um Processador

Um microprocessador é o elemento vital de um micro/minicomputador, responsável pelas seguintes funções:

- prover sinais de controle e temporização de todos os elementos do microcomputador;
- buscar instruções que se encontram armazenados na Unidade de Memória;
- decodificar instruções;
- realizar operaçõs (lógicas, aritméticas e de transferência) necessárias na execução de uma instrução;
- responder os sinais de Entrada/Saída como RESET e INTERRUPT; e
- outras.

O microprocessador é usualmente implementado em uma simples pastilha.

Neste capítulo será apresentado o modelo de hardware do processador MC68000, procurando responder as seguintes perguntas:

- Como é a pinagem do MC68000?
- Qual é a interface elétrica do MC68000, isto é, níveis dos sinais, configuração de saída? Quais fatores levaram a esta decisão de projeto?

- Quais são os sinais (funcionais) providos pelo MC68000? Quais funções podem ser implementadas com estes sinais? Quais são as limitações?
- Como é a temporização destes sinais para transferência de dados entre UCP e outros componentes (ciclo de leitura/escrita)? O que se deve verificar na relação temporal destes sinais com os sinais de outros componentes para garantir a compatibilidade temporal?

2.1 Terminologia

Em termos de 68000 denominamos

um ciclo de relógio: um período do relógio (global) do sistema. É utilizado como a unidade de tempo para todas as operações.

um ciclo de barramento: o número de ciclos de relógio necessários para um acesso a memória/periféricos (lembre-se de que a arquitetura do MC68000 é E/S mapeada em memória).

um ciclo de instrução: o número de ciclos de barramento necessários para execução de uma instrução.

2.2 Interface Elétrica

MC68000 é provido de 64 pinos (Figura 4.1 e tabela 4.1 do livro-texto, pp. 204 – 205):

Pinos	Sinal	Mnemônico	Tipo	C.S.
14,49	Alimentação	Vcc	–	–
16,53	Terra	GND	–	–
15	Relógio	CLK	E	–
18	*Reset*	RESET*	E/S	OD
17	*Halt*	HALT*	E/S	OD
29–48,50–52	Endereço	A_{01} – A_{23}	S	TS
1–5,54–64	Dados	D_{00} – A_{15}	E/S	TS
6	Strobe de endereço	AS*	S	TS
9	Leitura/Escrita	R/W*	S	TS
7	Strobe de dado + sig.	UDS*	S	TS
8	Strobe de dado - sig.	LDS*	S	TS
10	Conhec. de transf. de dados	DTACK*	E	–
22	Erro no barramento	BERR*	E	–
20	Habilita	E	S	TP
19	Endereço de mem. válido	VMA*	S	TS
21	Endereço de perif. válido	VPA*	E	–
13	Requisição de barramento	BR*	E	–
11	Concessão de barramento	BG*	S	TP
12	Conhec. de lib. de barramento	BGACK*	E	–
26–28	Códigos de funções	FC[0–2]	S	TS
23–25	Interrupção	IPL[0–2]*	E	–

Observações:

- A área ocupada por cada pastilha está diretamente relacionada com a quantidade de pinos/sinais disponíveis. Note que MC68000, embora tenha uma arquitetura de 32 bits, só dispõe 23 pinos de endereço e 16 pinos de dados.
- Os sinais da família MC68000 são TTL-compatíveis.
- A maioria dos sinais é ativo baixo, isto é, assume o estado lógico "verdadeiro" quando o seu nível de tensão estiver com o valor aproximadamente igual ao GND (terra).
- Dois pares de pinos de alimentação são providos para reduzir a queda de tensão dentro do processador.

- Os pinos RESET* e HALT* requerem um pulso maior que 100 ms quando o sistema é ligado. Isso é para garantir a geração interna de tensão de polarização requerida pelos transistores MOSFET.
- O circuito de saída de RESET* e HALT* é dreno aberto, pois ambos os pinos são utilizados tanto para entrada (resetar 68000 e forçar que ele fique no modo ocioso) como para saída (resetar os periféricos ligados no pino) (Fig. 4.2 do livro-texto, p. 207). A configuração de saída em dreno aberto viabiliza a lógica "OR" (MC68000 e/ou circuito de inicialização podem colocar o nível lógico "0" na linha).
- A maioria dos pinos tem a configuração de saída em três-estados, possibilitando o seu controle por outros componentes além da UCP.
- Diferentemente dos outros pinos de controle, os códigos de função, FC0–FC2 são ativo-altos, eletricamente compatíveis com os sinais de endereços. Veremos que isso pode favorecer a implementação de um circuito de controle de acesso à memória.
- Os pinos de configuração de saída de três-estados podem ficar "flutuando" quando a UCP deixa de ser o mestre do barramento. Isso pode levar as linhas (do barramento) correspondentes ao estado indefinido (que pode comprometer o funcionamento dos componentes MOS) e gerar ações indevidas (por exemplo, R/W* = 0 pode causar escritas indevidas). Para evitar isso, pode-se ligar estas linhas a Vcc através de resistores de *pull up* forçando que elas fiquem no estado lógico "falso" (inativo).
- O sinal E é gerado constantemente pela UCP, independentemente do seu estado.
- O sinal BG* é de controle exclusivo da UCP, indicando a liberação do barramento que estava sob o seu comando.
- Pinos de entrada que não são utilizados devem ser desativados, ligando-os no terra (GND) ou Vcc, para evitar ruídos que podem levar a mal funcionamento; enquanto os pinos de saída podem deixar em aberto.
- Para reduzir o número de pinos, e portanto o tamanho da pastilha, alguns microprocessadores são projetados para que os dados e os endereços compartilhem o mesmo barramento através de multiplexamento.

Exercícios de Revisão

1. Resolver os exercícios 1, 3, 8, 9, 10, 11, 12, 15 e 17 do capítulo 4 do livro-texto.

2.3 Interface Funcional

Funcionalmente, MC68000 provê um conjunto de sinais dedicados que podem ser agrupados em:

1. sinais de suporte a sistema: alimentação (Vcc e GND), relógio (CLK), RESET* e HALT*.

2. sinais de interface com a memória e o periférico: barramento de dados (16 bits), barramento de endereço (23 bits), sinais de controle de transferência assíncrona (R/W*, AS*, UDS*, LDS* e DTACK*) e de transferência síncrona (VPA*, VMA* e E).

3. sinais de propósito específico:

   - códigos de função: FC1, FC2 e FC3.
   - controle de interrupção: IPL0*, IPL1* e IPL2*.
   - erro no barramento: BERR*.
   - controle de arbitragem do barramento: BR*, BG* e BGACK*.

As interdependências funcionais e temporais destes sinais são especificadas pelos fabricantes. Nesta seção veremos as relações funcionais e na seção 2.4, as relações temporais.

O sinal RESET* permite inicializar o sistema e o HALT* tem três funções: executar programas "passo-a-passo", reexecutar um ciclo de barramento e interromper o processamento do sistema (Fig. 4.2 do livro-texto, p. 207).

MC68000 suporta acessos por *byte* (8 bits) e por palavra (16 bits). Os sinais de controle do tamanho dos dados em cada acesso são UDS* e LDS* de acordo com as seguintes combinações:

R/W*	UDS*	LDS*	Operação	D_{08}–D_{15}	D_{00}–D_{07}
0	1	1	–	Inválido	Inválido
0	1	0	Esc. byte - signif.	D_{00}–D_{07}	Dado válido
0	0	1	Esc. byte + signif.	Dado válido	D_{08}–D_{15}
0	0	0	Esc. palavra	Dado válido	Dado válido
1	1	1	–	Inválido	Inválido
1	1	0	Ler byte - signif.	Inválido	Dado válido
1	0	1	Ler byte + signif.	Dado válido	Inválido
1	0	0	Ler palavra	Dado válido	Dado válido

Porisso, podemos dizer que MC68000, apesar de ter 23 pinos para endereçar 2^{23} *words* (de 2 *bytes*), pode endereçar até 2^{24} (2×2^{23}) *bytes*. O último bit, A_{00}, dos registradores de endereço/contador de programa da UCP define o nível dos sinais UDS* e LDS*.

Os dois tipos de transferência de dados, síncrona e assíncrona, são providos pelo processador MC68000 através dos sinais de controle AS*, DTACK*, VPA*, VMA* e E.

O par de sinais AS* e DTACK* implementa o mecanismo de handshaking numa transferência assíncrona. Um acesso a memória/periféricos (ciclo de leitura ou de escrita) é (1) iniciado com a disposição de endereços válidos nos pinos de endereços A_{01} – A_{23} pela UCP e ativação do sinal AS* e (2) finalizado com o sinal DTACK* oriundo de outras unidades (memória/periféricos). Quando o dispositivo de acesso não é provido com o sinal de resposta DTACK*, pode-se gerar este sinal através de um gerador do sinal DTACK*, que muitas vezes, introduz estados de espera. Figs. 4.13 (p. 222) e 4.21 (p. 234) do livro-texto apresentam, respectivamente, fluxograma do ciclo de leitura e de escrita do MC68000. Fig. 4.19 (p. 230) e execícios 33 e 34 do livro-texto (pp. 299 – 301) exemplificam projetos com gerador do sinal DTACK* a partir dos sinais de controle da UCP.

Teoricamente, numa transferência síncrona só é necessário um sinal de controle: o sinal de strobe que indica a disposição de endereços válidos nos pinos (VMA*) (Fig. 4.10 do livro-texto, p. 218). No caso de MC68000 dois sinais adicionais são incluídos para distinguir uma transferência síncrona da assíncrona (VPA*) e para prover um sinal de relógio para os periféricos da série 6800 (E). O sinal VPA* é um sinal de entrada, através do qual a unidade externa indica a transferência desejada, e o sinal E é derivado continuamente do sinal de relógio da UCP com um período 10 vezes maior (6 ciclos de relógio no nível baixo e 4 ciclos no nível alto).

Note que ao referenciarmos acessos externos, procuramos utilizar sempre o par memória/periféricos ou o termo genérico "dispositivos externos". Isso se deve ao fato de que os dispositivos de entrada e saída no MC68000 são mapeados no espaço de endereços da memória. Embora uma arquitetura de E/S isolada apresente vantagens como:

1. evitar acessos indevidos devido a erros de programação (instruções exclusivas para E/S e memória); e

2. permitir operações concorrentes: acessos à memória e acessos à E/S,

a arquitetura de E/S mapeada em memória, por outro lado,

1. provê mesmo conjunto de instruções para acessos à Unidade de Memória e periféricos, ou seja, não requer nenhum hardware ou instruções especiais para acessar os periféricos; e

2. tem um custo mais baixo, pois só um conjunto de barramentos é necessário para acessar tanto a Unidade de Memória como os periféricos.

Além dos sinais básicos, MC68000 suporta um conjunto de sinais de propósito específico que permitem implementar sistemas computacionais mais complexos:

- os códigos de função permitem controlar acessos à unidade de memória;

- o sinal de erro no barramento permite voltar à operação normal após a ocorrência de erros em um acesso;

- os sinais de arbitragem permitem o compartilhamento do uso de barramentos entre vários potenciais mestres de barramento; e

- os sinais de interrupção permitem um periférico interromper a operação normal da UCP e a UCP identificá-lo.

Os códigos de função indicam o *estado* do ciclo (de barramento) em execução, conforme a seguinte correspondência:

(FC2,FC1,FC0)	Tipo de ciclo	Modo de Operação
000	(reservado)	
001	dados do usuário	Usuário
010	programas do usuário	Usuário
011	(reservado)	
100	(reservado)	
101	dados do supervisor	Supervisor
110	programa do supervisor	Supervisor
111	espaço da UCP (interrupção)	

Note que eles são disponíveis no início de cada ciclo de escrita/leitura (*hardware*), o que facilita a implementação do gerenciamento de acesso à memória num sistema operacional (*software*). Fig. 4.8 do livro-texto (p. 216) esboça o esquema de um possível circuito de controle de acesso aos diferentes segmentos da memória.

Dependendo do estado do sinal HALT*, o sinal BERR* permite a UCP reexecutar novamente um ciclo de instrução quando ocorre uma falha num ciclo de acesso. Esta facilidade, em conjunção com uma unidade de gerência de memória (*hardware*), possibilita implementar um sistema de memória virtual (*software*).

MC68000 é ainda projetado com a capacidade de compartilhar o uso do barramento com outras unidades capazes de serem mestres. Sinais de controle, BR*, BG* e BGACK*, são providos para gerir a transferência da propriedade, que se inicia com a ativação do sinal BR* e finaliza com a negação do sinal BGACK* – ambos por parte do requerente. Fig. 4.6 (p. 212) do livro-texto ilustra a relação entre os sinais BR*, BG* e BGACK* numa arbitragem.

Finalmente, MC68000 provê facilidades de interrupção, reconhecendo até 7 níveis de prioridade. Ao receber um nível de interrupção pelos pinos IPL0*–IPL2*, o processador, ao invés de gerar um sinal de conhecimento de interrupção IACK, responde à solicitação colocando 111 nos pinos FC0–FC2 e o nível de interrupção detectado nos pinos de endereços A_{01}–A_{03}. Com estes sinais pode-se gerar facilmente os sinais de IACK, necessários para completar o ciclo (de interrupção). Fig. 4.9 do livro-texto (p. 217) apresenta um circuito de decodificação/codificação que permite reconhecer 7 níveis de prioridade.

Observações:

- Nem todos os microprocessadores adotam o paradigma de sinais de controle dedicados, isto é, cada sinal com uma função bem definida. Uma alternativa é utilizar o mecanismo de **passagem de mensagens**. Nesta caso, um conjunto de sinais de propósito geral (transferência de mensagem) é provido e a mensagem é decodificada em sinais de controle correspondentes.
- A distinção funcional dos *strobes* de dados e de endereço só se nota no ciclo de leitura do MC68000, quando os primeiros são ativados com atraso de mais de um ciclo de relógio em relação ao segundo sinal.
- Note que com os dois *strobes* de dados, UDS* e LDS* (2 bits), pode-se diferenciar até 4 distintas ações – no caso do MC68000, acesso a byte menos significativo, a byte mais significativo e a dois bytes de uma palavra. Isso dispensa o pino A_{00} e o pino para indicar o tipo de acesso (byte ou palavra) que seriam necessários se tivessemos só um pino de *strobe* de dados.
- Fig. 4.9 do livro-texto apresenta uma solução para distinguir 7 níveis de prioridade de interrupção. Teoricamente, sem nenhum circuito adicional, MC68000 consegue tratar até 3 níveis distintos de prioridade (001, 010 e 100).
- O espaço da UCP (*CPU space*) é um subespaço de memória da UCP reservada para mapear os registradores dos coprocessadores.

Exercícios de Revisão

1. Resolver os exercícios 2, 6, 13, 23, 26, 27, 28 e 33 do capítulo 4 do livro-texto.
2. Qual é a função do diagrama de protocolo?

2.4 Interface Temporal

Uma vez apresentadas as relações funcionais com uso de diagramas de protocolo, veremos agora detalhadamente as relações temporais entre os sinais dos ciclos de acesso do MC68000 com uso dos diagramas de tempo.

Uma análise correta das restrições temporais é de fundamental importância no projeto de um sistema digital. Entre diversos problemas que podem ser causados devido à violação das restrições temporais em um (micro)computador, podemos citar:

metaestabilidade: saída indeterminada devido à violação dos tempos de *setup* e/ou *hold*; e

contenção: operações indevidas devido à sobreposição dos sinais no espaço de tempo.

2.4.1 Ciclo de Leitura

Em 68000 um **ciclo de barramento para leitura** (assíncrona) corresponde, no mínimo, a 4 ciclos de relógio (Fig. 4.16 do livro-texto, p. 226):

S0: todos os sinais de barramento assíncrono (AS*, UDS*, LDS*,DTACK*), são negados, exceto o sinal R/W* que é setado em 1.

S1: o endereço em A_{01}–A_{23} passa a ser válido até o próximo estado S0.

S2: o strobe de endereço AS* é ativado, indicando que o conteúdo do barramento de endereço é válido. Os strobes de dados também são "ativados" para iniciar o acesso ao dispositivo externo. Note que AS* é ativado automaticamente, com um tempo menor ou igual a t_{AVSL}, após a estabilização dos endereços no barramento.

S3:

S4: o sinal de conhecimento DTACK* é ativado pelo dispositivo endereçado após um atraso. Este atraso depende da velocidade da memória. Se for um componente lento, a UCP fica em estado de espera (medido em termos de *wait states* cuja unidade corresponde a meio ciclo de relógio) para garantir que o tempo de *setup* do sinal DTACK* em relação à borda de descida do sinal de relógio do sistema não seja violado.

S5:

S6: a UCP espera que os dados sejam colocados no barramento pelo dispositivo endereçado. O tempo de *setup* destes dados em relação à borda de descida do relógio do sistema, t_{DICL}, não pode ser violado.

S7: os dados são capturados pela UCP e os strobes são negados. Com isso, os pinos de dados e de endereços da UCP e do dispositivo endereçado podem ser desconectados eletricamente do barramento (estado de impedância alta), desde que seja observado o tempo de *hold*, t_{SHDI} (tempo que os dados precisam permanecer estáveis no barramento após a desativação dos *strobes*), imposto pela UCP.

S0: DTACK* deve ser negado, preparando-o para o próximo ciclo.

Os parâmetros de tempo envolvidos no acesso de leitura são fornecidos pelos fabricantes (Tab. 4.4 do livro-texto, p. 227).

2.4.2 Ciclo de Escrita

Em 68000 um **ciclo de barramento para escrita** (assíncrona) também corresponde, no mínimo, a 4 ciclos de relógio (Fig. 4.23, p. 236):

S0: todos os sinais de barramento assíncrono (AS*, UDS*, LDS*,DTACK*), são negados, exceto o sinal R/W* que é setado em 1.

S1: o endereço em A_{01}–A_{23} passa a ser válido até o próximo estado S0.

S2: o strobe de endereço AS* é ativado, indicando que o conteúdo do barramento de endereço é válido. R/W* é colocado no nível lógico 0.

S3:

S4: aproximadamente 1 ciclo de relógio após a ativação de AS*, os strobes de dados são ativados, indicando que os dados no barramento de dados são válidos. O sinal de conhecimento DTACK* pode ser ativado assincronamente desde que seja obedecido o tempo de *setup*, t_{ASI}, em relação à borda de descida do relógio do sistema, imposto pela UCP.

S5:

S6:

S7: um tempo $t_{SL(W)}$ após a ativação do DTACK*, os *strobes* são negados. Para um funcionamento correto deve-se garantir que o dispositivo de acesso tenha capatado os dados até este instante. O ciclo é então concluído com a desconexão (elétrica) dos pinos de dados e de endereços do barramento (estado de impedância alta) e a desativação do sinal DTACK*. E para evitar escritas indevidas, o sinal R/W* é colocado novamente no nível lógico 1.

Os parâmetros de tempo envolvidos no acesso de escrita são também fornecidos pelos fabricantes (Tab. 4.7 do livro-texto, p. 237).

2.4.3 Análise da Compatibilidade Temporal

O modelo de análise de compatibilidade temporal pode ser reduzido matematicamente ao problema de resolução de um sistema de inequações, onde as variávies são os parâmetros temporais dos componentes de interesse. Essencialmente para que dois componentes sejam temporalmente compatíveis, deve-se observar:

- que os tempos de *setup* e de *hold* de um sinal em relação à transição ativa do sinal de "gatilho" (em muitos casos, o relógio do sistema) não sejam violados (para evitar metaestabilidade); e
- que tenham similares "passos" de operação (para evitar contenção).

No caso do MC68000 são necessários, no mínimo, 4 ciclos de relógio durante a leitura. Destes quatro ciclos,

- um ciclo é para inicializar (S0) e finalizar (S7) a operação;
- t_{CLAV} para disponibilizar os endereços válidos nos pinos/barramento (considerando que os tempos de atraso nos *buffers* e nos decodificadores de endereço sejam desprezíveis) após a inicialização do ciclo; e
- t_{DICL} para captar seguramente os dados que o dispositivo de acesso colocou no barramento.

Isso significa que para um dispositivo externo operar sem problemas com MC68000 no ciclo de leitura, ele deve estabilizar os dados endereçados no barramento em

$$4ciclos - 1ciclo - t_{CLAV} - t_{DICL}$$

e mantê-los estáveis por, no mínimo, t_{DICL}.

Uma análise similar deve ser feita para o ciclo de escrita. MC68000

- mantém estáveis nos pinos (de endereços) os endereços por $t_{AVSL} + t_{SL} + t_{SHAZ}$ e
- mantém estáveis nos pinos (de dados) os dados a serem escritos por $t_{DOSL} + t_{SL(w)} + t_{SHDOI}$,

então se um dispositivo externo utilizar o sinal AS* como o gatilho para captar os dados fornecidos pelo MC68000, ele deverá satisfazer, pelo menos as seguintes restrições:

- o seu tempo de *setup* de dados não pode ser menor que $t_{DOSL} + t_{SL(w)}$ e
- o seu tempo de *hold* de dados não pode ser menor que t_{SHDOI}.

Para evitar a contenção no baramento, precisa-se ainda analisar se há sobreposição do ciclo de leitura/escrita do dispostivo de acesso com o próximo ciclo de leitura/escrita do MC68000 ($t_{AVSL} + t_{SL} + t_{SHDI}/t_{AVSL} + t_{SL} + t_{SHAZ}$), uma vez que esta sobreposição pode levar a um outro ciclo (falso) de barramento, como ilustram Figs. 4.27 (p. 242) e 4.29 (p. 245) do livro-texto. Caso os componentes que se comunicam forem conectados no barramento através de *buffers* (Fig. 4.30 do livro-texto, p. 246), atrasos no chaveamento destes *drivers* durante transições de estados também podem resultar em contenções, conhecidas como contenções dinâmicas (Figs. 4.31 – 4.34 do livro-texto). O exemplo nas páginas 292–296 ilustra bem uma análise de contenção dinâmica.

Devido à quantidade de sinais envolvidos em um sistema computacional, a análise das relações temporais entre eles pode ser uma tarefa complexa. Felizmente, existem hoje em dia várias ferramentas de suporte a esta fase de projeto.

Observações:

- Quando se trata de dois componentes que operam em velocidades muito diferentes (p. ex., processador e impressora) pode-se ainda projetar, com uso de registradores, interfaces que procuram "segurar" os sinais do componente mais rápido por um tempo suficientemente grande para atender as restrições temporais (tempos de *setup* e de *hold*) do componente mais lento, como exemplifica Fig. 4.37 do livro-texto (p. 254).

Exercícios de Revisão

1. Resolver os exercícios 18, 20, 21, 22, 25 e 30 do livro-texto.
2. A transferência de dados assíncrona no MC68000 não é de fato assíncrona. Justifique esta afirmação.
3. O que é um falso ciclo de barramento?
4. O que é contenção?
5. O que é contenção dinâmica?
6. Por que a análise das relações temporais entre os componentes de um sistema digital é de fundamental importância na fase do seu projeto?

2.5 Auto-avaliação

Após este capítulo, você deve ser capaz de:

- descrever a interface elétrica do MC68000;
- descrever a interface funcional do MC68000;
- descrever as relações funcionais dos sinais, ou seja, descrever os esquemas apresentados nas Figs. 4.3, 4.5/4.6, 4.10, 4.11, 4.13 e 4.21 do livro-texto;
- descrever o ciclo de leitura e de escrita do MC68000, ou seja explicar os diagramas de tempo nas Figs. 4.16 e 4.23 do livro-texto;
- explicar a função de um gerador do sinal DTACK*;
- utilizar as especificações temporais de um processador, no caso MC68000, para analisar a compatibilidade temporal entre ele e as unidades externas de acesso;

- explicar as inequações envolvidas nos cálculos para análise da compatibilidade temporal que aparecem nas pp. 232 – 251 do livro-texto;
- explicar o que é um falso ciclo de barramento (leitura/escrita);
- explicar o que é contenção dinâmica de barramento;
- explicar o exemplo nas páinas 292–296 do livro-texto; e
- explicar os problemas decorrentes à incompatibilidade temporal e as possíveis soluções.

2.6 Lista de Exercícios

1. Resolver o exercício 32 do capítulo 4 do livro-texto.
2. Resolver o exercício 34 do capítulo 4 do livro-texto.
3. Pesquise o processador 80386 da Intel e compare-o com o processador 68000 em termos de (a) espaço de endereçamento, (b) tamanho de palavras endereçáveis, (c) organização de memória, (d) arbitragem de barramento, (e) tipos de transferências, (f) espaço de endereços de I/O e (g) mascaramento de interrupções (Uma referência útil: `www.x86.org/intel.doc/386manuals.htm`).