Anexo ao capítulo 4 - Barramentos

BARRAMENTOS PADRONIZADOS

Conteúdo:

O presente texto foi baseado nas seguintes publicações:

1. Seção 5.1 do livro Hwang, Kai, 1993, ***Advanced Computer Architecture - Parallelism, Scalability, Programmability,*** McGraw-Hill International Edition,
2. IBM PC-AT TECHNICAL REFERENCE. - International Business Machines Corporation - 1984.
3. Lewis C. Eggbrecht - Interfacing to the IBM personal Computer - Howard W.Sams & Co. - 1987.
4. VME BUS SPECIFICATIONS- IEC = International Electrotechnical Commission / Technical Committee no. 47 /sub-committee 47b: Microprocessor-Systems - 1982.

Artigos:

1. Gustavson, David B., Computer Buses - A Tutorial, *IEEE Micro,* August 1984 pp 7-22.
2. Balakrishnan, R.V., The Proposed IEEE 896 FutureBus - A solution to the Bus Driving Problem, *IEEE Micro,* August 1984, pp 23-27.
3. Taub D.M., Arbitration and Coontrol Acquisition in the Proposed IEEE 896 Futurebus, *IEEE Micro,* August 1984, pp 28-41.
4. Borrill, P. and J. Theus, An Advanced Communication Protocol for the Proposed IEEE 896 Futurebus, *IEEE Micro*, August 1984, pp 42-56.

1- INTRODUÇÃO:

Diversos fabricantes de computadores utilizam os chamados barramentos padronizados. O motivo para isto é principalmente econômico. Por exemplo, se um determinado fabricante de uma unidade processadora adotar um barramento padronizado ele poderá contar com diversos fornecedores de outras placas (por exemplo, de memória, interfaces,... etc). Com isto ele pode limitar a sua lista de itens de compra, manter uma linha de produção mais especializada...etc. Além de trabalhar visando uma escala de mercado mais ampla.

A especificação de um barramento padrão define as características mecânicas, elétricas, do protocolo de comunicação e do mecanismo de arbitragem do acesso aos recursos do barramento.

1.1- Alguns termos comuns a diversos barramentos.

Para o estudo que se segue é importante conhecer alguns termos específicos. Estes termos podem ter significados diferentes entre os diversos padrões, mas neste capítulo serão utilizados os que são descritos a seguir:

BACKPLANE É uma placa de circuito impresso que possui as trilhas de intercomunicação entre diversas outras placas.

SLOT É uma posição na qual uma placa pode ser ligada ao BACKPLANE. Um SLOT pode ser constituído de mais de um conector.

BOARD/CARD/PLACA/CARTÃO termos intercambiáveis que designam o circuito impresso que pode ser inserido no BACKPLANE.

MODULO É um conjunto de componentes eletrônicos com um único fim funcional. Diversos módulos podem existir num mesmo cartão.

MASTER/MESTRE É um módulo funcional capaz de iniciar uma transferência de dados pelo barramento.

SLAVE/ESCRAVO É um módulo funcional capaz de responder a uma operação de transferência gerada pelo MASTER.

BROACAST é uma operação de escrita simultânea em várias módulos escravos. Esta operação é fundamental para o estabelecimento de uma consistência de informações em diversos módulos, como, por exemplo, a coerência *multicache* (*multicache coherence*).

BROADCALL é uma operação de leitura múltipla em várias módulos escravos. Para que esta operação seja possível é necessário que os acionadores de linha dos módulos escravos permitam operações *wired-and* (por exemplo: tecnologia *Open-collector*). Esta operação é usada para detectar diversas fontes de interrupção.

DEADLOCK é o estado que um barramento pode atingir se um módulo espera por um sinal de sincronismo de outro módulo, que depende de uma sinalização do primeiro módulo. "Um espera pelo Outro que espera pelo Um".

LIVELOCK é o estado que um mecanismo de interconexão (incluindo barramento) pode atingir se para evitar estados de *deadlock* forem criados desvios de encaminhamento de mensagem que desperdicem os recursos da interconexão.

---

2 - INTRODUÇÃO AO I/O CHANNEL DO IBM PC-AT.

Quando a IBM lançou o PC ela estabeleceu um padrão de barramento para a expansão dos recursos do sistema. Ela deu para este barramento o nome de I/O CHANNEL. Através deste barramento podem ser adicionadas placas de memória, de controladores de vídeo e de diversos tipos de interface. O sucesso do PC no mercado mundial atraiu muitos outros fabricantes ao fornecimento de placas compatíveis com este barramento, por exemplo: HERCULES, QUADRAM (vídeo) e AST (comunicações). O I/O CHANNEL é um barramento de 8 bits próprio para o processador daquelas máquinas- 8088. Com o lançamento do IBM PC-AT, que utiliza o processador de 16 bits - 80286, a IBM expandiu o I/O CHANNEL para 16 bits mantendo, entretanto, compatibilidade com as placas de 8 bits. O I/O Channel para o AT foi adotado por diversos fabricantes de microcomputadores (clones) e de estações de trabalho (por exemplo: HP-APOLLO). Apesar de ter sido proposto considerando o microprocessador Intel 80286, este barramento é também utilizado em microcomputadores com os microprocessadores 386 e 486. Os fabricantes de microcomputadores compatíveis com o IBM PC-AT designam este barramento com o nome ISA (International Standard Architecture). A descrição que se segue é baseada principalmente nas informações disponíveis na documentação do IBM PC-AT original.

2.1 Características do Barramento.

As principais características do I/OCHANNEL do AT são:

- Endereços de E/S entre 100h até 3FFh.
- 24 bits de endereços (16Mbytes)
- Seleção do tipo de acesso a dados (8 ou 16 bits)
- 11 linhas de interrupção
- 7 linhas de requisição de DMA
- Geração de WAIT-STATES na placa principal
- Estrutura OPEN-BUS, permitindo que múltiplos microprocessadores possam compartilhar os recursos do sistema, inclusive memória.
- REFRESH da memória do sistema pode ser gerado pelos microprocessadores ligados ao barramento.

2.2 - Sinais do Barramento

Os sinais do barramento do IBM PC-AT estão divididos em dois conectores para borda de placa (*Edge-conector)*, um com duas fileiras de 31 pinos (compatível com o barramento do IBM PC-XT) e outro com duas fileiras de 18 pinos (que reune os sinais de expansão do IOCHANNEL). Na descrição abaixo, ao lado do nome do sinal são fornecidas duas informações sobre o tipo de sinal a ser descrito. A primeira informação indica se o sentido do sinal tendo como referência o barramento. Assim o sinal pode ser ENTRADA, quando ele entra no barramento a partir de uma placa ai instalada. Um sinal pode ser SAÍDA, quando ele sai do barramento para as placas. O sinal pode ser ainda ENTRADA/SAÍDA, quando ele pode entrar ou sair do barramento para as placas. A segunda informação indica o nível lógico do sinal ativo. Nesta classificação o sinal pode ser ATIVO ALTO, ou seja é válido no nível lógico 1, ou pode ser ATIVO BAIXO, quando ele é válido no nível lógico 0.

Os sinais do barramento I/O Channel do IBM PC-AT são:

SA0 - SA19	Entrada/Saída Ativo Alto.	Correspondem aos bits de endereços 0 até 19 são usados para endereçar memória ou dispositivos de E/S. Permanecem estáveis durante todo o ciclo de acesso a partir da borda de descida do sinal BALE. Podem ser gerados pelo microprocessador ou pelo controlador de DMA instalados no

		AT, ou ainda, por um microprocessador ou DMAC de placas no barramento.
LA17-LA23	Entrada/Saída Ativo Alto.	Correspondem aos bits de endereços A17 até A23: são usados para endereçar memória ou dispositivos de E/S. Estas linhas dão ao sistema a capacidade de endereçar 16M bytes. Este sinais são usados para decodificar ciclos de acesso a memória com 1 *wait-state*. Estes sinais não permanecem estáveis durante o todo o ciclo de acesso. Eles são válidos somente enquanto o sinal BALE estiver alto. Assim sendo, estes sinais devem ser armazenados no inicio do ciclo de acesso nas placas do barramento pela borda de descida do sinal BALE. Estas linhas podem ser acionadas por uma placa de processamento ou de controle de DMA instalada no barramento.
CLOCK	Saída, Ativo Alto.	No IBM PC-AT (original) este sinal de relógio do sistema possui a freqüência de 6.0 MHz. Este sinal possui um DUTY CYCLE de 50%. Ele só deve ser usado para sincronização de operações com o microprocessador. A freqüência deste sinal pode variar nos microcomputadores compatíveis com o PC-AT.
RESET DRV	Saída, Ativo Alto.	Este sinal é usado para iniciar a lógica do sistema no instante do ligar.
SD0-SD15	Entrada/Saida, Ativo alto.	Estas linhas transportam os bits de dados entre o microprocessador e dispositivos de memória ou interfaces de entrada/saída. A linha SD0 corresponde ao bit menos significativo do barramento de dados e a linha SD15 ao mais significativo. Todos os dispositivos de 8 bits ligados ao barramento utilizam as linhas SD0 até SD7 para a comunicação com o microprocessador. Os dispositivos de 16 bits utilizam as linhas SD0 até SD15. Para permitir a comunicação com dispositivos de 8 bits os bits de dados mais significativos (D8 até d15) do sistema são ligados por *gates* às linhas SD0 até SD7. Desta forma a transferência entre o microprocessador (16 bits) e os dispositivos de 8 bits é convertida para duas transferências de 8 bits.
BALE	Saída, Ativo Alto.	Buffered Address Latch Enable - Sinal que indica a presença de um endereço válido no barramento de endereços, vindo do microprocessador ou do DMAC do sistema (quando combinado com o AEN). Os bits de endereço do microprocessador são armazenados nos BUFFERS de endereço do barramento na borda de descida deste sinal. Este sinal é mantido em nível UM durante os ciclos de DMA.
I/O CH CK	Saída, Ativo Baixo.	Sinal que indica um erro irrecuperável no barramento. Um exemplo de erro indicado por este sinal é um erro de paridade em placa de memória instalada no barramento.
		Sinal que é usado pelos dispositivos lentos para estender os

I/O CH RDY	Entrada, Ativo Alto.	ciclos de acesso. O dispositivo que precisa estender o ciclo, força este sinal para o nível lógico ZERO, logo após a decodificação do endereço e de ter recebido o sinal de comando de escrita ou leitura. O ciclo de máquina é expandido em números inteiros de ciclos de relógio do sistema (sinal CLK). Este sinal não deve ser mantido em nível baixo por mais de 2,5 microsegundos.
IRQ3-IRQ7 **IRQ9-IRQ12** **IRQ14 e IRQ15**	Entrada, Ativo Alto.	Correspondem às linhas de solicitação de interrupção do sistema. As solicitações de interrupção obedecem a uma prioridade. Sendo que as solicitações IRQ9 até IRQ12, IRQ14 e IRQ15 são as mais prioritárias. A solicitação IRQ9 é a de maior prioridade. As solicitações IRQ3 até IRQ7 são as menos prioritárias, sendo a IRQ7 é a de menor prioridade. Uma solicitação de interrupção é gerada pela transição baixo para alto numa linha de IRQ. Esta linha deve permanecer em alto até que o microprocessador reconheça a interrupção pela execução da rotina de serviço de interrupção correspondente. As interrupções IRQ8 e IRQ13 são usadas internamente na placa do AT e não estão disponíveis no barramento.
-IOR	Entrada/Saída, Ativo Baixo.	Sinal que força o dispositivo de E/S selecionado a expor os dados no barramento. Pode ser acionado a partir do sistema, ou de um processador ou controlador de DMA instalados no barramento.
-IOW,	Entrada/Saída, Ativo Baixo.	Sinal que força o dispositivo de E/S selecionado a armazenar os dados do barramento. Pode ser acionado a partir do sistema, ou de um processador ou controlador de DMA instalados no barramento.
-SMEMR, **-MEMR**	Saída, Ativo Baixo Entrada/Saída, Ativo Baixo.	Sinal que força a unidade de memória selecionada a colocar os dados no barramento. O sinal -SMEMR é ativo somente quando a decodificação do endereço indica um acesso a posição de memória localizada abaixo de 1 Mbyte. O sinal -MEMR é gerado independente do endereço a ser acessado. Quando uma placa precisar acionar o sinal -MEMR , ela deve colocar as linhas de endereço válidas um período de clock do sistema antes.
-SMEMW, **-MEMW**	Saída, Ativo Baixo. Entrada/Saída Ativo Baixo.	Sinal que força a unidade de memória selecionada a armazenar os dados do barramento. O sinal -SMEMW é ativo somente quando a decodificação do endereço indica um acesso a posição de memória localizada abaixo de 1 Mbyte. O sinal -MEMW é gerado independente do endereço a ser acessado. Quando uma placa precisar acionar o sinal -MEMW , ela deve colocar as linhas de endereço válidas um período de clock do sistema antes.
		Correspondem às linhas de solicitação de acesso direto à memória. São utilizadas por interfaces, ou mesmo por microprocessadores ligados ao barramento, que podem

DRQ0-DRQ3 **DRQ5-DRQ7**	Entrada, Ativo Alto	assumir o controle da transferência no barramento. As solicitações feitas nestas linhas obedecem a uma prioridade, sendo DRQ0 a mais prioritária e DRQ7 a menos prioritária. Uma solicitação é gerada forçando uma linha de DRQ para o seu nível ativo. Esta linha deve permanecer neste nível até que a CPU envie um reconhecimento da solicitação através da linha DACK correspondente ao DRQ usado. Os sinais DRQ0 até DRQ3 fazem transferências de 8 bits. Os sinais DRQ5 até DRQ7 fazem transferências de 16 bits. O sinal DRQ4 é usado pelo sistema e não está disponível no barramento.
-DACK0- **-DACK3,** **-DACK5-** **-DACK7**	Saída, Ativo Baixo.	Correspondem às linhas de reconhecimento das solicitações de acesso direto à memória feitas nos sinais DRQ0 até DRQ3 e DRQ5 até DQ7, respectivamente.
AEN	Saída, Ativo Alto.	Sinal que indica que o controlador de DMA da placa principal do AT ests controlando o barramento.
-REFRESH	Entrada/Saída, Ativo Baixo.	Sinal usado para indicar um ciclo de *refreshing* da memória e pode ser gerado por uma placa qualquer no barramento.
T/C	Saída, Ativo Alto.	Sinal que indica quando qualquer um dos contadores de DMA da placa do AT chegou a zero.
SBHE	Entrada/Saída, Ativo Alto.	System Bus High Enable - Sinal que indica a transferência de dados pelas linhas SD8 até SD15. As placas que permitem a transferência com 16 bits devem utilizar este sinal para habilitar os circuitos ligados ao barramento de dados mais significativo (SD8 - SD15).
-MASTER	Entrada, Ativo Baixo.	Este sinal é usado com um sinal de DRQ para assumir o controle do sistema. Ele é usado para indicar o controle do barramento por um microprocessador ou DMAC colocado no barramento. A placa solicita um canal de DMA através de uma linha de DRQ e recebe o respectivo DACK. Após receber o DACK a placa deve forçar a linha -MASTER para o nível 0, o que indica que o barramento está ocupado e permite a placa controlar as linhas de endereço, dados e controle do sistema para o estado de alta impedância. Após o sinal -MASTER estiver baixo, a placa deve esperar um período do clock do sistema (CLK) antes de acionar as linhas de endereço e de dados e dois períodos de clock para acionar as linhas de escrita ou leitura (- SMEMW, -SMEMR,...etc). Se este sinal permanecer baixo mais de 15 microsegundos, a memória do sistema pode ser perdida pelo ausência de *refresh.*
-MEM CS16	Entrada, Ativo Baixo.	Sinal que indica que o ciclo atual é de 16 bits com 1 *wait-state* para a memória da placa selecionada. Ele deve ser gerado pela decodificação dos bits LA17 até LA23. Esta linha deve ser acionada por um dispositivo *OPEN-COLLECTOR* ou

		Tri-State capaz de absorver 20 mA.
-I/O CS16	Entrada, Ativo Baixo.	Sinal que indica que o ciclo atual é de 16 bits com 1 *wait-state* para interface de E/S na placa selecionada. Ele deve ser gerado pela decodificação de endereço. Esta linha deve ser acionada por um dispositivo *OPEN-COLLECTOR* ou *Tri-State* capaz de absorver 20 mA.
OSC	Saída, Ativo Alto.	Sinal de relógio de alta freqüência (14,31818 MHz +6 período de 70 nS). Este sinal não é sincronizado com o microprocessador e tem um DUTY CYCLE de 50%. Deve ser utilizado para circuito de temporização que sejam independentes da freqüência do microprocessador do AT.
0WS	Entrada, Ativo Baixo.	Sinal que indica ao microprocessador que o ciclo atual pode ser completado sem a inserção de *wait-state*. Para ocorrer um ciclo de acesso a uma memória com 16 bits sem *wait-state*, este sinal deve ser gerado pela decodificação dos bits de endereço *ANDED* (operação lógica AND com) o sinal de operação (Leitura ou Escrita). Esta linha deve ser acionada por um dispositivo *OPEN-COLLECTOR* ou *Tri- State* capaz de absorver 20 mA.

2.2.1 Pinagem dos Conectores do IBM PC-AT

A figura a seguir ilustra o formato dos conectores do barramento do IBM PC-AT

	B	**A**	
GND	1	1	-I/OCH CK
RESET DRV	2	2	D7
+5 VDC	3	3	D6
IRQ9	4	4	D5
-5 VDC	5	5	D4
DRQ2	6	6	D3
-12 VDC	7	7	D2
OWS	8	8	D1
+12 VDC	9	9	D0
GND	10	10	I/OCH READY
-SMEMW	11	11	AEN
-SMEMR	12	12	A19
-IOW	13	13	A18
-IOR	14	14	A17
-DACK3	15	15	A16
DRQ3	16	16	A15

-DACK1	17	17	A14
DRQ1	18	18	A13
-REFRESH	19	19	A12
CLK	20	20	A11
IRQ7	21	21	A10
IRQ6	22	22	A9
IRQ5	23	23	A8
IRQ4	24	24	A7
IRQ3	25	25	A6
-DACK2	26	26	A5
T/C	27	27	A4
BALE	28	28	A3
+5 VDC	29	29	A2
OSC	30	30	A1
GND	31	31	A0
	B	**A**	
	D	**C**	
-MEMCS16	1	1	SBHE
-IOCS16	2	2	LA23
IRQ10	3	3	LA22
IRQ11	4	4	LA21
IRQ12	5	5	LA20
IRQ15	6	6	LA19
IRQ14	7	7	LA18
-DACK0	8	8	LA17
DRQ0	9	9	-MEMR
-DACK5	10	10	-MEMW
DRQ5	11	11	SD8
-DACK6	12	12	SD9
DRQ6	13	13	SD10
-DACK7	14	14	SD11
DRQ7	15	15	SD12
+5 VDC	16	16	SD13
-MASTER	17	17	SD14
GND	18	18	SD15
	D	**C**	

Figura 1 - Pinagem ISA

2.3 - Exemplo de Temporização

A figura a seguir ilustra o ciclos de acesso de escrita em memória no barramento ISA

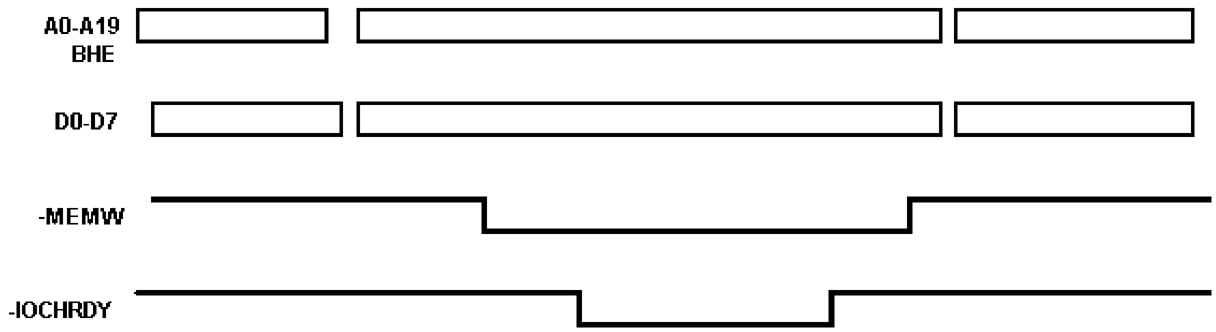

Figura 2 - Ciclo de Escrita em memória através do barramento ISA

2.4 - Características Elétricas

Todas as linhas do barramento do IBM PC-AT são compatíveis com TTL. As placas a serem projetadas para o barramento devem ter no máximo duas cargas TTL *Low- power Schottky* (LS) em cada linha.

3 - INTRODUÇÃO AO BARRAMENTO VME

Barramento proposto inicialmente pela MOTOROLA como uma versão do barramento VERSAbus usando o padrão europeu de placas (EUROCARD). O barramento VME logo foi aceito pelo mercado como aquele que permite um melhor desempenho e que possue a mais completa especificação.Este padrão foi adotado por diversos fabricantes entre eles: SIGNETICS, PHILLIPS, MOSTEK e Thomson-EFCIS. O nome VME significa VERSA MODULE EUROPE. Em 1982 o barramento VME foi homologado pelo IEC como sendo o padrão IEC 821 e em 1984 pelo IEEE como sendo o padrão IEEE 1014.

3.1 - Objetivos da especificação do barramento VME.

A especificação do barramento VME define um sistema de interconexão de dispositivos de, processamento de dados, de armazenamento de dados e de controle de periféricos numa configuração fortemente acoplada (closed coupled). O sistema foi concebido com os seguinte objetivos:

- Prover comunicação entre dois dispositivos no barramento sem perturbar as atividades internas de outros dispositivos ligados ao barramento.
- Especificar as características elétricas e mecânicas necessárias para projetar dispositivos que irão comunicar confiavelmente e sem ambiguidade com outros dispositivos ligados ao barramento.
- Especificar protocolos que definem precisamente a interação entre o barramento VME e os dispositivos ligados a ele.
- Prover terminologia e definições que descrevem precisamente o protocolo do sistema.
- Permitir uma amplo campo de opções de projeto de forma que o projetista possa otimizar custos

e/ou desempenho sem afetar a compatibilidade do sistema.

- Prover um sistema onde o desempenho é limitado mais pelo dispositivo, do que limitado pela interface do sistema.

3.2 - Alguns termos definidos no padrão VME.

Além dos termos que foram definidos na seção 1.1, o padrão VME define especificamente outros, que são descritos a seguir:

REQUESTER Módulo capaz de solicitar controle do barramento.

ARBITER Módulo capaz de decidir e resolver solicitações de diversos REQUESTERS.

INTERRUPTER Módulo capaz de solicitar serviços do MASTER do barramento, gerando um INTERRUPT REQUEST.

3.3 - Estrutura básica do barramento VME.

O barramento VME consiste de quatro grupos de linhas de sinais (quatro barramentos) e um conjunto de módulos funcionais que podem ser configurados de diversas formas. Os módulos funcionais comunicam-se entre si através das linhas de sinais dos barramentos num BACKPLANE.

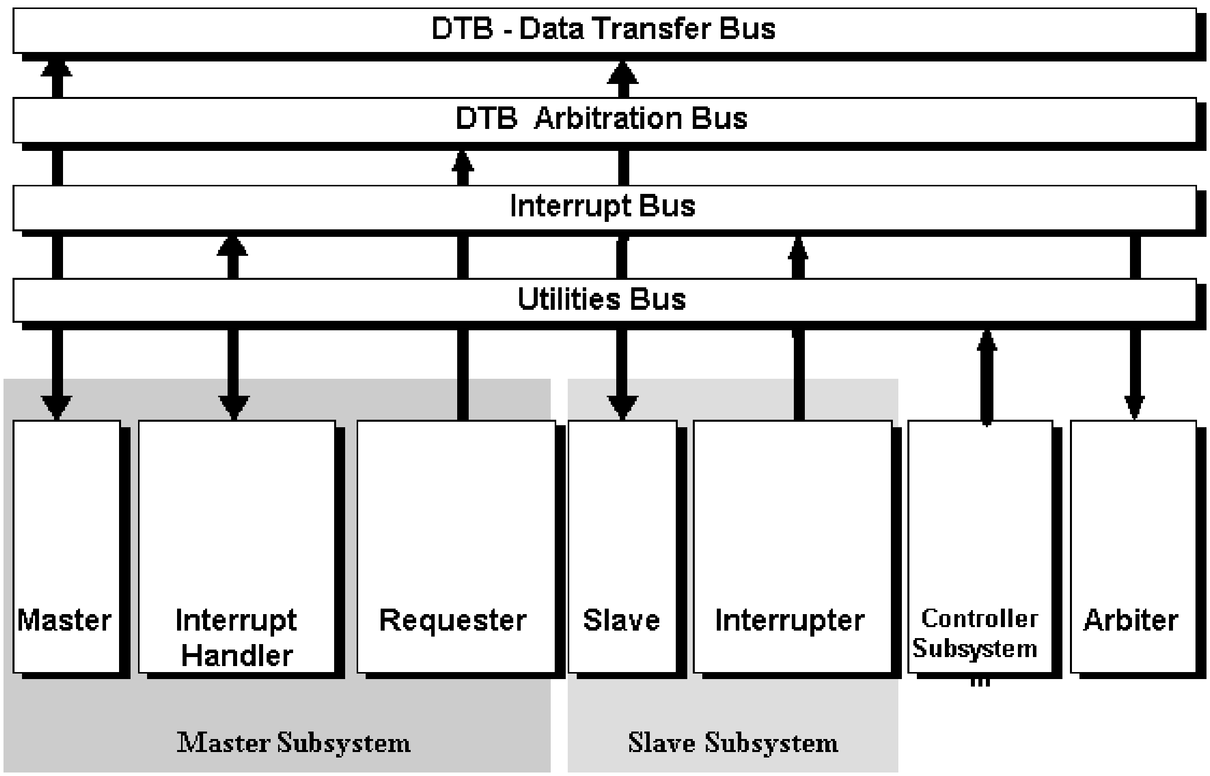

Figura 3 - Módulos e barramentos do padrão VME

3.3.1 - DATA TRANSFER BUS - DTB

Os dispositivos transferem dados através do Data Transfer Bus (DTB), que contem as linhas de endereços, de dados e de sinais de controle associados. Os módulos funcionais chamados DTB MASTERs e DTB SLAVEs usam o DTB para transferir dados entre si.

3.3.1.1 - SINAIS DO DTB:

A01-A23	Barramento de endereços (bits a01-a23)- Linhas acionadas por saídas TREE-STATE que especificam um endereço de memória.
A24-A31	Barramento de endereços (bits A24-A31) - Linhas acionadas por saída TREE-STATE para expansão do barramento de endereços.
AS*	ADDRESS STROBE - Sinal acionado por saída TREE-STATE que indica um endereço válido nas linhas do barramento de endereços.
AM0-AM5	ADDRESS MODIFIER (bits AM0-AM5) - Linhas acionadas por saídas TREE-STATE que fornecem informações adicionais sob o barramento de endereços tais como, largura, tipo de ciclo e/ou identifição do DTB MASTER.
D00-D15	Barramento de dados (bits D00 - D15) - Linhas bidirecionais acionadas por saídas TREE-STATE para servir de meio de comunicação entre o DTB MASTER e o DTB SLAVE.
D16-D31	Barramento de dados (bits D16- D31) - Linhas bidirecionais acionadas por saídas TREE-STATE para expansão do barramento de dados.
DS0*	DATA STROBE 0 - Sinal acionado por saída TREE-STATE que indica durante os ciclos de transferência de BYTE OU WORD que a transferência vai ocorrer nas linhas do barramento de dados D00-D07.
DS1*	DATA STROBE 1 - Sinal acionado por saída TREE-STATE que indica durante os ciclos de transferência de BYTE OU WORD que a transferência vai ocorrer nas linhas do barramento de dados D08-D15.
DTACK*	DATA TRANSFER ACKNOWLEDGE - Sinal acionado por saída OPEN-COLLECTOR no DTB SLAVE. A borda de descida deste sinal indica que um dado válido está disponível no barramento de dados, num ciclo de leitura. Ou que o dado foi aceito do barramento de dados durante um ciclo de escrita.
WRITE*	(Escrita) - Sinal acionado por saída TREE-STATE que especifica que o ciclo de transferência de dados em progresso é ou de escrita ou de leitura. Um nível alto indica um ciclo de leitura; um nível baixo indica um ciclo de escrita.
LWORD*	Palavra Longa. Sinal acionado por saída TREE-STATE que indica que a transferência corrente é uma transferência de 32 bits.

3.3.1.2 Tipos de Transferências

Os tipos de transferências no barramento VME devem ser analisados em função do endereço e em função dos dados.

- Com respeito aos endereços o VME possue 3 tipos de transferências, a saber:
  - Endereçamento curto - usando 16 linhas de endereços, permitindo portanto acesso até 64K bytes.

    - Endereçamento normal - usando 24 linhas de endereços, permitindo portanto acesso até 16M bytes.
    - Endereçamento extendido - usando 32 linhas de endereços, permitindo portanto acesso até 4G bytes.
- Com respeito aos dados o VME possue 3 tipos de transferências, a saber:
    - Transferência de BYTE (8 bits de dados);
    - Transferência de WORD (16 bits de dados);
    - Transferência de LONGWORD (32 bits de dados).

As transferências de BYTES podem ser feitas pelas linhas D00 a D07 ou pelas linhas D08 a D15. As transferências de WORDS são feitas unicamente nas linhas D00 a D15. As transferências de LONGWORD utilizam as linhas D00 a D31.

O quadro abaixo ilustra a relação entre os diversos tipos de transferências e os estados dos sinais do DTB.

	Endereço de LONGWORD			
	Endereço de WORD par		Endereço de WORD impar	
	Byte par	Byte impar	Byte par	Byte impar
DATABUS	D31	D23	D15	D07 D00
Endereço Binário do Byte	xx?xxx00	xx?xxx01	xx?xxx10	xx?xxx11
Acesso Byte LWORD* A01 DS1* DS0*	1 0 0 1	1 0 1 0	1 1 0 1	1 1 1 0
Acesso Word LWORD* A01 DS1* DS0*	1 0 0 0	**1**	1 1 0 0	**1**
Acesso Longword LWORD* A01 DS1* DS0*	0 0 0 0	**2**	**3**	**2,3**

NOTAS: 1 - Não é permitido acessar 16 bits de dados em endereços de BYTES impares.

2 - Não é permitido acessar 32 bits de dados em endereços de BYTES impares.

3 - Não é permitido acessar 32 bits de dados em endereços de WORD impares.

3.3.1.3 - Exemplo de Temporização

A especificação VME detalha a temporização de todos os tipos de transferências no barramento DTB. Exemplificaremos aqui somente o ciclo ilustrado pela figura abaixo.

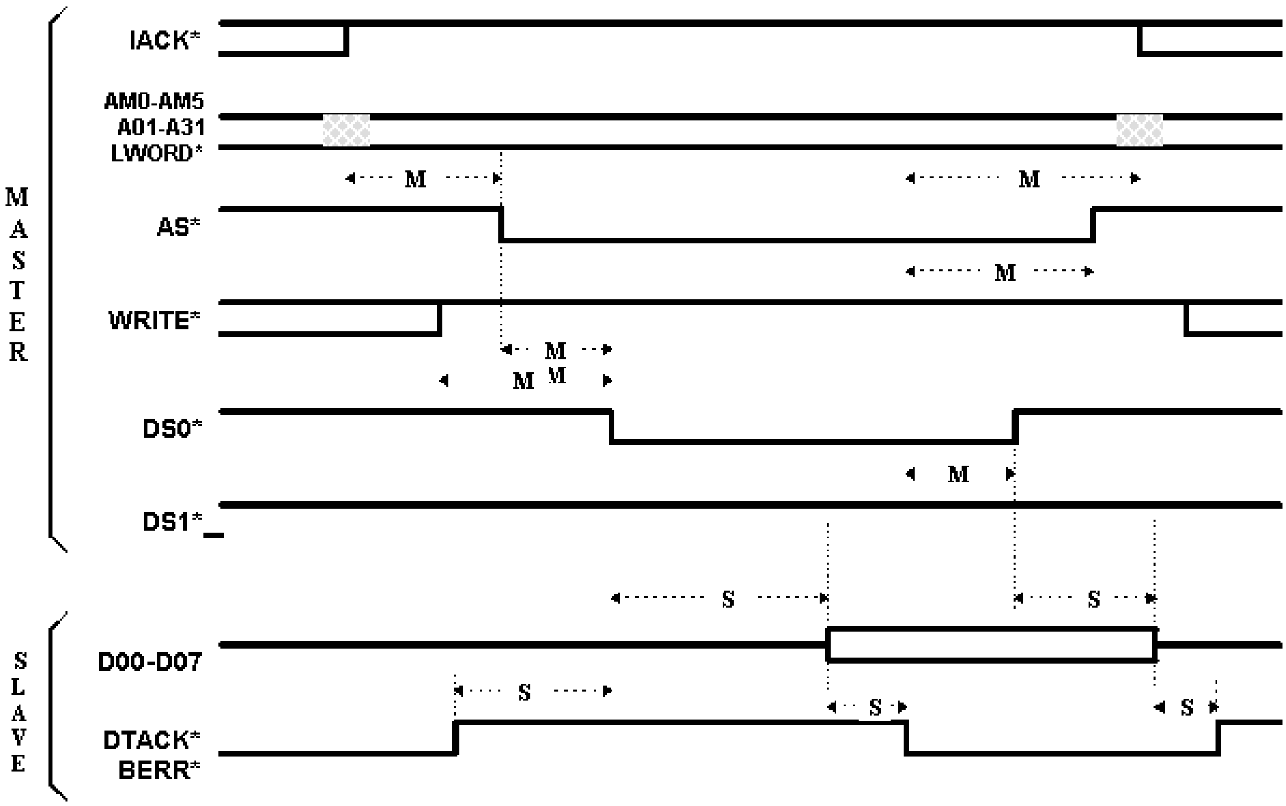

Figura 4 - Ciclo de leitura de byte em endereço par do DTB

Na figura acima os parâmetros com um M são definidos internamente ao módulo mestre do barramento. E os parâmetros com um S são definidos no módulo escravo.

DTB ARBITRATION BUS

Uma vez que um sistema baseado no barramento VME pode ser configurado para possuir mais de um DTB MASTER, deve existir um meio para transferir o controle do DTB entre os MASTERs de forma ordeira e garantindo que somente um MASTER controla o DTB num dado instante. O DTB ARBITRATION BUS é onde este controle é feito, a forma de arbitração é descrita a seguir.

Existem quatro linhas de requisição de barramento correspondendo a diferentes níveis de requisição do barramento. Existem 3 opções de estabelecer prioridades para o sistema. Na primeira opção (PRI) a prioridade entre estes níveis é fixa sendo a linha BR3* a mais prioritária e a linha BR0* a menos prioritária. Na segunda opção (RRS - Round Robin Select) a técnica de controle do acesso nos diversos níveis é circular. O sistema pode ser configurado, ainda para trabalhar em somente um nível de requisição, opção (ONE) que trata somente as requisições ligadas à linha BR3* de acordo com a cadeia desta linha.

Além da prioridade tratada no arbitrador, existe um segundo nível de prioridade em cada um das linhas de requisição de barramento (BR3* até BR0*). Este nível é feito pela cadeia de concessão do barramento, sinais BRGxIN e BRGxOUT de cada nível. A prioridade aí dependerá da posição da placa no BACKPLANE.

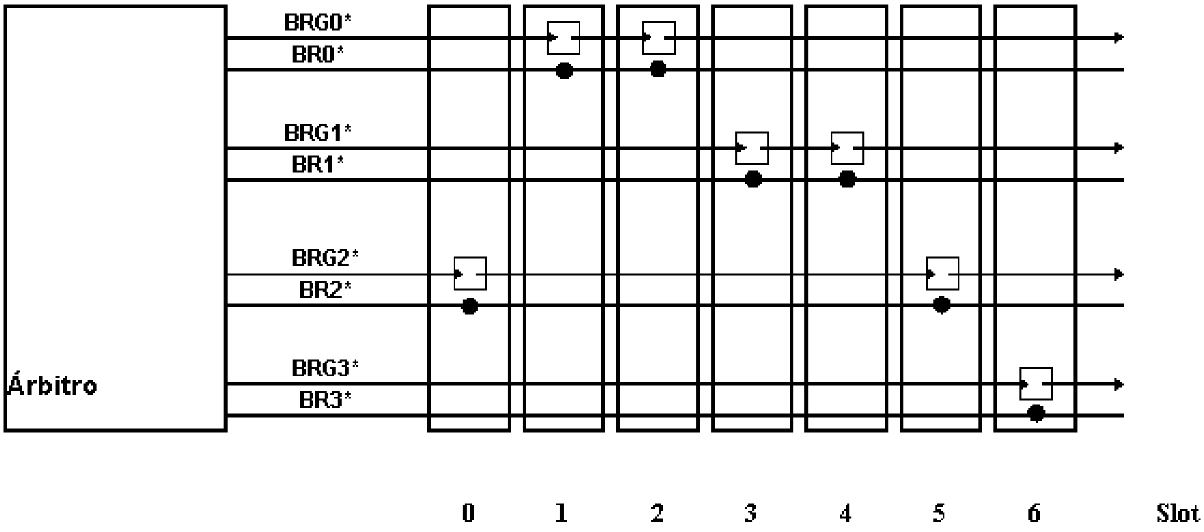

Figura 5 - Exemplo de Configuração de Requesters

A figura acima mostra 7 REQUESTERs nos SLOTS de um barramento VME. Os requesters 1 e 2 estão ligados na linha de requisição 0 (BR0); os requesters 3 e 4 estão na linha 1; os requester 0 e 5 na linha 2 e o requester 6 na linha 3. O requester 1 tem mais alta prioridade na linha de requisição 0, pois está mais próximo do arbiter. Nesta configuração o requester de mais alta prioridade é o Requester 6, pois está ligado na linha de requisição 3.

Sinais do DTB ARBITRATION BUS

BBSY*	Barramento ocupado. Sinal acionado por saída OPEN-COLLECTOR gerada pelo DTB MASTER para indicar que ele está ocupando o barramento.
BCLR*	BUS CLEAR. Sinal acionado por saída TOTEM-POLE gerada pelo ARBITER para requisitar o abandono do barramento pelo atual MASTER na eventualidade de uma requisição de mais alto nível.
BERR*	Erro no barramento. Sinal acionado por saída OPEN-COLLECTOR gerado por um SLAVE. Este sinal indica que um erro irrecuperável ocorreu e o ciclo deve ser terminado.
BG0IN* - BG3IN*	Entradas de BUS GRANT (0-3) Sinais acionados por saídas TOTEM-POLE geradas pelo ARBITER ou pelos REQUESTERS. As entradas de BUS GRANT e as saídas de BUS GRANT formam uma cadeia de concessão do barramento. A entrada de BUS GRANT informa para esta placa que ela pode vir a ser o próximo MASTER do barramento.
BG0OUT* - BG3OUT*	Saídas de BUS GRANT (0-3) Sinais acionados por saídas TOTEM-POLE geradas pelos REQUESTERS. As entradas de BUS GRANT e as saídas de BUS GRANT formam uma cadeia de concessão do barramento. A saída de BUS GRANT informa para a proxíma placa que ela pode vir a ser o próximo MASTER do

	barramento.
BR0* - BR3*	BUS REQUEST (0-3) - Sinais acionados por saídas OPEN-COLLECTOR geradas pelo REQUESTERS. Estes sinais indicam que um DTB MASTER na cadeia (DAISY- CHAIN) requer um acesso ao barramento.

Exemplo de Arbitração

A figura abaixo ilustra a temporização de duas solicitações de barramento.

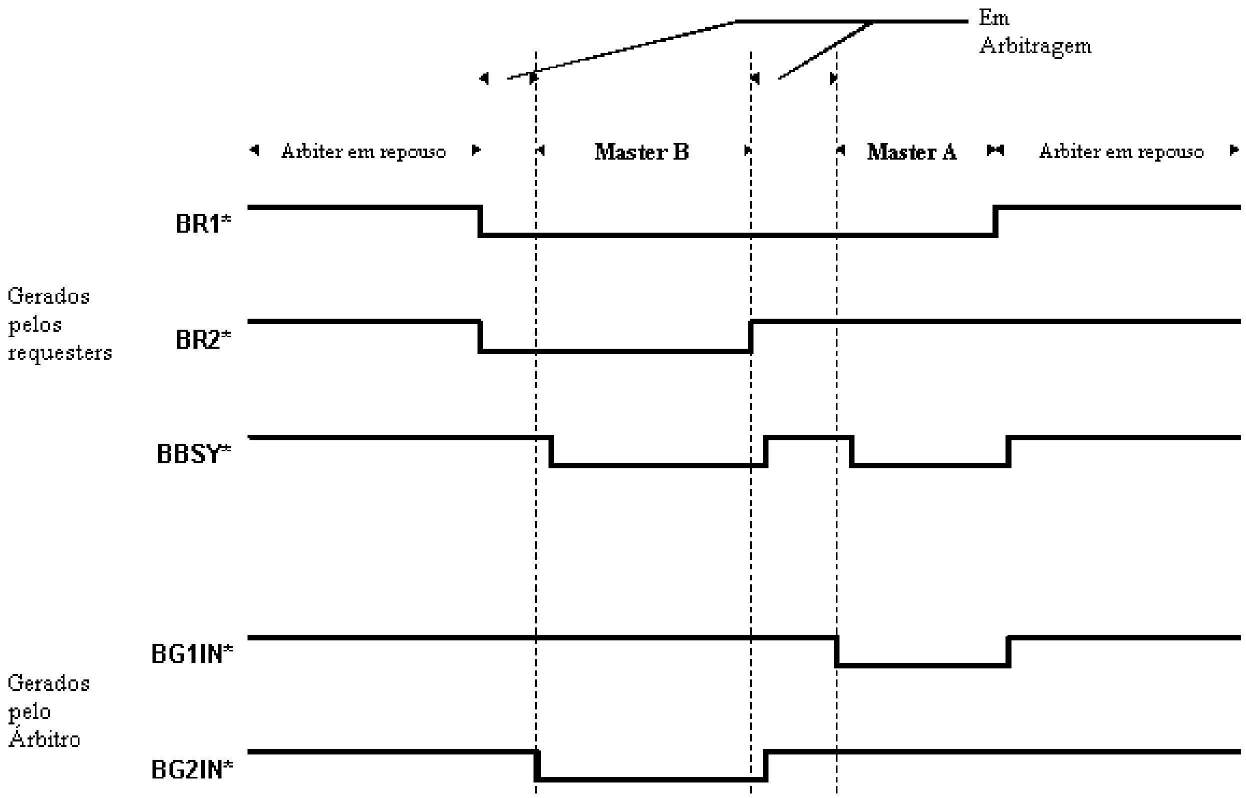

Figura 6 - Duas requisições em níveis diferentes

3.3.3 - INTERRUPT BUS

O capacidade de tratamento de interrupções do barramento VME fornece um meio pelo qual um dispositivo pode requerer a interrupção da atividade do barramento e pode ser servido por um módulo tratador de interrupção. As requisições de interrupção podem ser priorizadas em até um máximo de 7 níveis.

Sinais do INTERRUPT BUS:

IRQ1*-IRQ7*	Pedido de interrupção (1-7) - Sinais acionados por saídas OPEN-COLLECTOR geradas por um INTERRUPTER, possuindo uma prioridade entre estes pedidos. O nível 7 é o mais prioritário.

IACK*	Reconhecimento de interrupção. - Sinal gerado por qualquer um MASTER processando um pedido de interrupção. Este sinal é desviado no BACKPLANE para o SLOT 1, onde ele é ligado a entrada IACKIN* para começar a cadeia de reconhecimento de interrupção.
IACKIN*	Entrada de reconhecimento de interrupção. Sinal acionado por saída TOTEM-POLE. Os sinais IACKIN* e IACKOUT* formam uma cadeia de reconhecimento (*daisy-chain).* A entrada IACKIN* indica para esta placa que um ciclo de reconhecimento está em progresso.
IACKOUT*	Saída de reconhecimento de interrupção. Sinal acionado por saída TOTEM-POLE. Os sinais IACKIN* e IACKOUT* formam uma cadeia de reconhecimento. A saída IACKOUT* indica para a próxima placa que um ciclo de reconhecimento está em progresso.

3.3.4 - UTILITIES BUS

As funções de relógio, detecção de falhas, e de iniciação estão reunidas no UTILITIES BUS.

Sinais do UTILITIES BUS:

SERCLK	Sinal reservado para o relógio da transmissão serial.
SERDAT	Sinal reservado que será usado como uma linha de transmissão para mensagens seriais.
SYSCLK	Relógio do sistema - Sinal de relógio de 16MHz constante independente da velocidade ou do TIMING do processador. Este sinal é usado para circuitos de temporização.
SYSFAIL*	Falha no sistema. Sinal acionado por saída OPEN-COLLECTOR que indica a ocorrência de uma falha no sistema. Este sinal pode ser gerado por qualquer um dos módulos ligados ao barramento VME.
SYSRESET*	*Reset* do sistema. Sinal acionado por saída OPEN-COLLECTOR que, quando em nível baixo, provoca uma iniciação de todo o sistema.
ACFAIL*	Falha na alimentação - Sinal acionado por saída OPEN-COLLECTOR que indica que a voltagem de entrada (AC) da fonte de alimentação caiu a níveis de falha.
[RESERVADO]	Pino reservado para futuras versões
+5VSTDBY	Alimentação de +5 volts para dispositivos que requerem bateria. 1 pino.
+5V	Alimentação de +5 volts a ser usada pelos circuitos lógicos. 6 pinos.
+12V	Alimentação de +12 volts a ser usada pelos circuitos lógicos. 1 pino.
-12V	Alimentação de -12 volts a ser usada pelos circuitos lógicos. 1 pino.
GND	Terra. Os conectores do BACKPLANE possuem 11 pinos de terra.

3.4 - Especificações mecânicas do VME.

Utiliza até 2 conectores EUROCARD de 96 pinos

A placa de circuito pode ter dois tamanho, a saber: tamanho simples com um único conector possuindo as dimensões de 100mm x 160mm;

tamanho duplo com dois conectores com as dimensões 233,68mm x 160mm.

---

4 - FUTUREBUS+

Em 1984 o IEEE (Institute of Electrical and Electronics Engineers), através de um grupo de estudos, propôs o padrão de barramento chamado FUTUREBUS (IEEE std 896) com características para multiprocessamento. Parte dos estudos e as principais características deste padrão são descritas nas referências [3], [4], [5],e [6]. Em 1991 o IEEE atualizou estes estudos e propõe o que é chamado FUTUREBUS+ (IEEE std 896.1-1991). Esta atualização foi motivada principalmente pela falta, até então, de um padrão de barramento que tratasse de forma eficiente as transações em sistemas multiprocessadores e ao mesmo tempo permitisse transferências em 64 bits. A proposta FUTUREBUS+ incorpora todos os recursos necessários para facilitar o projeto de novos sistemas multiprocessadores.

1. **- Objetivos da especificação FUTUREBUS+.**

Os principais requisitos que orientaram o trabalho da comissão de especificação do FUTUREBUS+ são resumidos a seguir:

1. Um padrão aberto disponível para todos os projetistas, independente de tecnologia, processador, e arquitetura.
2. Um protocolo totalmente assíncrono para transferência de dados com controle de fluxo por *handshaking*.
3. Um protocolo opcional sincronizado pela fonte para transferência de blocos de dados em alta velocidade.
4. Protocolo de arbitragem distribuído em paralelo para suportar um ampla variedade de transações no barramentos incluindo *broadcast, broadcall* e transações definidas por outros.
5. Suporte para aplicações com exigências de alta-confiabilidade e tolerância a falhas com soluções para a inserção e remoção de placas alimentadas, cheque de paridade para todos os sinais e cheque por realimentação. Nenhum sinal em *daisy-chain* para facilitar reconfiguração dinâmica do sistema na ocorrência de falha em módulo.
6. Uso de mecanismo multinível para o travamento (*lock*) de módulos e para evitar *deadlock* ou *livelock*
7. Protocolos de transação *split* e chaveados por circuitos e mais o suporte para comandos que implementam *remote lock* e operações do tipo SIMD.
8. Suporte para computação com restrições críticas de *real-time* com múltiplos níveis de prioridade e tratamento consistente da prioridade; e mais o suporte de um protocolo de sincronismo do relógio distribuído.
9. Suporte de endereçamento com 32 ou 64 bits com barramento de dados com tamanho de dados variando dinamicamente de 32, 64, 128 e 256 bits para satisfazer diferentes necessidades de largura de banda (*bandwidth*).
10. Suporte direto de multiprocessamento baseado em cache *snoopy* com protocolo recursivo para suportar sistemas interconectados por diversos barramentos.

11. São fornecidos ainda: - protocolo passagem de mensagens compatível com conexões multi-computadores, - perfís de aplicação especiais e - toda a orientação para o projeto de interfaces.

4.2 - Características do Barramento Padrão FUTUREBUS+

Um barramento FUTUREBUS+ é constituído de linhas de informação de sincronização, de arbitragem e de *handshaking* que podem servir para diferentes projetos de sistemas.

As 64 linhas de endereços são multiplexadas com as 64 linhas de dados menos significativas. Um sistema compatível com o FUTUREBUS poderá ter ainda linhas adicionais de dados para formar um barramento de dados com 128 e 256 bits (respectivamente, mais 64 , ou 192 linhas)

As linhas de TAG são opcionais e servem para estender os modos de operação das linhas de endereçamento e de dados.

As linhas de STATUS são usadas para o escravo responder a comandos do mestre.

As linhas de CAPABILITY são usadas para definir transações especiais no barramento.

Cada conjunto de oito linhas do barramento (byte) é protegido por, no mínimo, uma linha de PARITY-CHECK.

As linhas de ADDRESS HANDSHAKE e de DATA HANDSHAKE são utilizadas para as transações entre mestre e escravos.

Uma linha TENURE é usada para coordenar a transferência de controle do barramento.

As linhas ARBITRATION BUS transportam um número que significa a precedência dos competidores numa disputa no processo de arbitragem.

As linhas de SYNCRONIZATION e CONDITION são usadas para coordenar o *handshaking* e condições especiais.

Se for necessário utilizar um árbitro central a especificação prevê um conjunto de linhas de CENTRAL ARBITRATION.

As linhas de GEOGRAPHICAL ADDRESS permitem localizar geograficamente o módulo (*slot address*).

A linha de RESET serve para iniciar o trabalho do sistema e reiniciar módulos inseridos

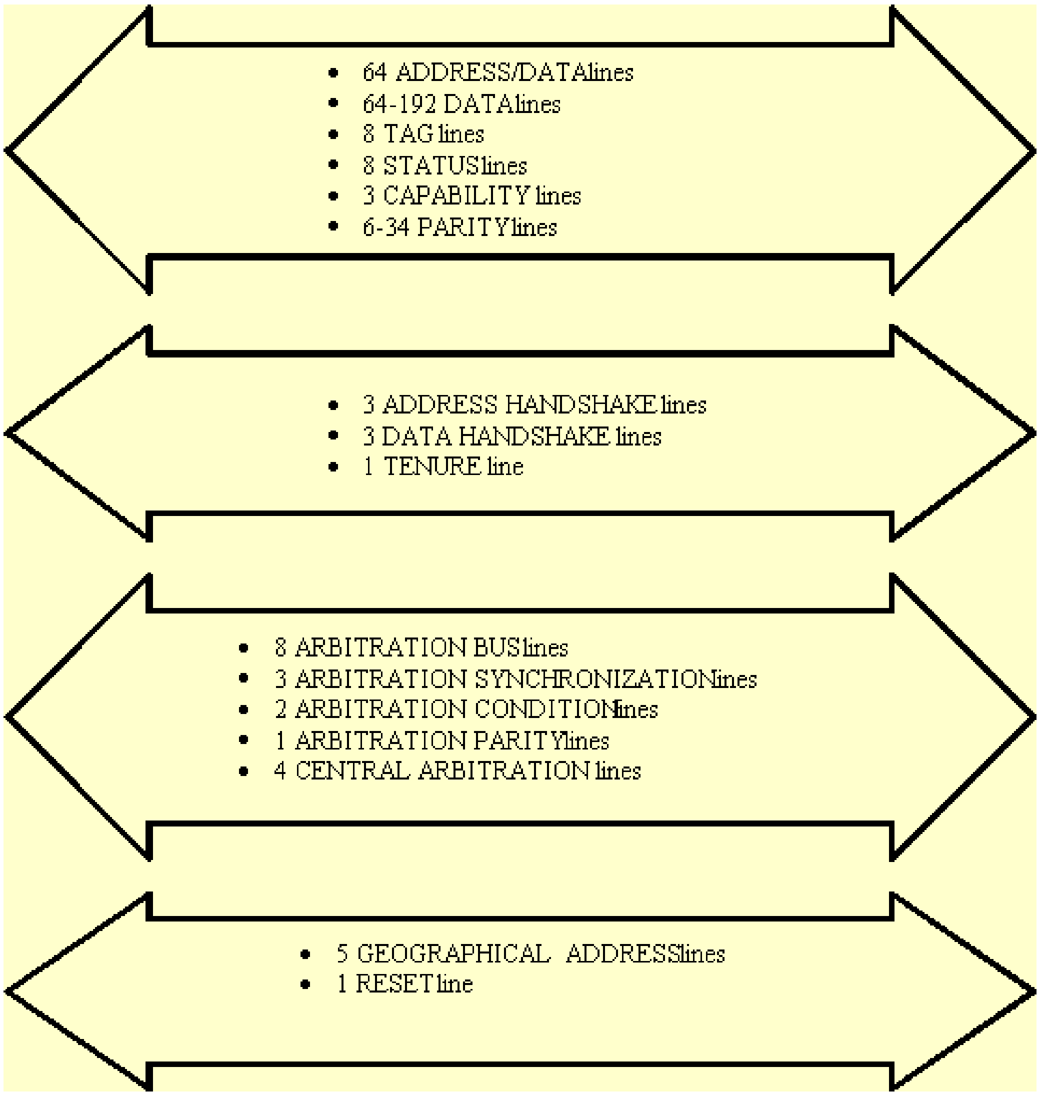

Figura 7 - A organização do FUTUREBUS+

4.3 - Independência de Tecnologia e da Arquitetura

A da norma FUTUREBUS+ é proposta como sendo independente da tecnologia e da arquitetura.

A independência da tecnologia é conseguida pois as especificações FUTUREBUS+ são baseadas na otimização dos princípios físicos e dos fundamentos do seu protocolo para maximizar a eficiência da comunicação, sem se preocupar com as limitações de uma dada tecnologia. O seu protocolo é definido muito mais em função das restrições operacionais do que das restrições tecnológica como por exemplo: tempo de propagação, ?, etc.

A independência da arquitetura é atingida por tratar de forma flexível as operações com cache e ao mesmo tempo fornecer uma solução elegante para os protocolos baseados em passagem de mensagem.

Atualizado em 04/05/97

jro.